

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-274512

(43)Date of publication of application : 02.11.1989

(51)Int.Cl.

H03K 19/177
H01L 21/82

(21)Application number : 63-102547

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 27.04.1988

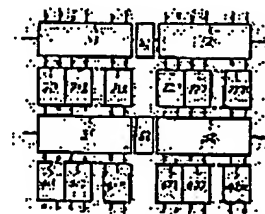
(72)Inventor : NAKAMURA HIDEO
SAWASE TERUMI
HAYASHI MAKOTO

(54) SEMICONDUCTOR LOGIC DEVICE

(57)Abstract:

PURPOSE: To write or rewrite the logic structure electrically without increasing number of components by preparing a wire enabling signal propagation exclusively or in time division independently of components of a semiconductor logic device so as to attain high speed signal propagation of discrete logic components.

CONSTITUTION: NOR arrays 11, 12, 31, 32 comprising nonvolatile recording components writable electrically are arranged to a programmable logic device. logic cell arrays 211 to 42m are provided to the arrays 11, 21, 31, 32 are two-way switch elements 51, 52 are arranged between the arrays 11 to 12 and 31 to 32. NOR arrays 11, 21, 31, 32 are formed among plural input lines I1 to I5 and plural optional output lines O1 to O11, the input lines I1 to I5 and the output lines O1 to O11 are made orthogonal and nonvolatile elements rewritable or writable electrically are arranged to cross points.



X2ITC 107291

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-274512

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)11月2日

H 03 K 19/177
H 01 L 21/827328-5J
A-8526-5F

審査請求 未請求 請求項の数 6 (全8頁)

⑮ 発明の名称 半導体論理装置

⑯ 特 願 昭63-102547

⑰ 出 願 昭63(1988)4月27日

⑱ 発 明 者 中 村 英 矢 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑲ 発 明 者 沢 瀬 照 美 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑳ 発 明 者 林 城 東京都小平市上水本町1448番地 日立超エル・エス・アイ・エンジニアリング株式会社内
 ㉑ 出 願 人 株式会社日立製作所
 ㉒ 出 願 人 日立超エル・エス・アイ・エンジニアリング株式会社
 ㉓ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体論理装置

2. 特許請求の範囲

1. 半導体論理装置であつて、

(1) 入力信号に応じて出力信号を生成する複数の論理セルと；

(2) 入力信号に応じて出力信号を生成する複数のNORアレイとを具備し、

上記複数の論理セルと上記複数のNORアレイとは接続されてなり、

上記複数の論理セルの少なくともひとつの論理セルの入力と出力とは上記複数のNORセルのうち該論理セルに接続して上下に配置された二つのNORセルの出力と入力とにそれぞれ接続されてなることを特徴とする半導体論理装置。

2. 上記複数のNORアレイは複数の電気的に書き込み可能な不揮発性記憶素子により構成され、該不揮発性記憶素子への電気的な書き込みにより上記複数のNORアレイのNOR論理構成が

任意に構成されることを特徴とする請求項1記載の半導体論理装置。

3. 上記複数の論理セルは制御パラメータ記憶装置を具備してなり、該制御パラメータ記憶装置中のデータにより上記複数の論理セルの論理構成が任意に構成されることを特徴とする請求項2記載の半導体論理装置。

4. 上記複数のNORアレイは横方向に配置された入力線を具備し、上記複数のNORセルのうち横方向に隣接して配置された二つのNORアレイの入力線はスイッチ素子を介して互いに接続されてなることを特徴とする請求項1乃至3のいずれかに記載の半導体論理装置。

5. 上記スイッチ素子を接続状態とすることにより論理構成を拡張することを特徴とする請求項4記載の半導体論理装置。

6. 上記複数の論理セルのうち並列の論理セル間のデータ転送もしくは共通データ転送のための配線マヤネルを横方向および縦方向に交互に配置してなることを特徴とする請求項1乃至5の

特開平1-274512(2)

いずれかに記載の半導体論理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高密度に集積可能な半導体論理装置に係り、特に論理構造を電気的に書き換え可能にするに好適な半導体論理装置に関する。

〔従来の技術〕

従来の論理LSIは電圧レベルあるいはゲートアレイで構成されるものが知られている。また電気的に書き換え可能な素子を用いて構成したプログラマブル論理装置として、特公開59-48574(USP 4,124,888)、特公開61-502650(USP 4,808,985)、特公開61-198919(USP 4,842,487)、特公開61-280120等がある。またISSCC(International Solid-state Circuits Conference) 80(1986) p 244~245においても関連の記載がある。

〔発明が解決しようとする課題〕

上記従来技術で、制御セルあるいはゲートアレイはセルのレイアウト配置や配線をLSI製造工程中のマスクパターンを逐次変更することで任意の

作図度が低下するという課題があった。特公開61-198919、特公開61-280120に示された構成では、逆に論理素子間をパススイッチを有する専用配線で接続しているため、論理の自由度を拘束するためにはパススイッチの数が莫大になるという課題があった。

本発明の目的は上記従来技術の問題点をなくし、論理構造を電気的に書き換えあるいは書き換え可能にした、大規模で高密度集積を実現する半導体論理装置を提供することにある。

〔課題を解決するための手段〕

上記目的は電気的に書き換え可能な素子で構成されたNORアレイと外部からの制御信号あるいは制御データにより異なる論理機能を実現する構造を有する論理セルを積層配置配線し、論理セル及びNORアレイは隣接するNORアレイ及び論理セルとの間で論理処理あるいは信号の伝播を可能にする。

さらに、上記構成要素とは独立に専用あるいは時分割的に信号伝播を可能にする配線路を準備し、

論理構成を実現している。このため必要な機能を持つLSIを実現する期間が短いという課題があった。

一方、電気的に書き換え可能な素子を使用したプログラマブル論理装置においては、大規模で論理の集積密度の高い論理構成を実現する上で十分ではなかった。例えば特公開59-48574においては論理が大規模になったときの積層論理素子間の配線や多段論理の構成に対して配慮されておらずISSCC86p244に示された記載ではフィードバックバスを用いることで多段論理の構成を可能にしているが、アレイが1面で構成されるため、論理が大きくなった場合、アレイの使用効率が低くなり、又動作速度が低下するという課題があった。

特公開61-502650には全面排選バスと局部的排選バスに階層化したアレイが用いられているが、階層した論理素子間の接続は全面排選バスで共通アレイ上で構成されている。隣接する論理間の相関は一般的に小さく、これを共通のアレイ上で構成するとアレイの使用効率が低くなり、同時に加

減する論理素子間の最適な信号伝播を可能にすることにより、達成される。

〔作用〕

論理セルは隣接するNORアレイの複数の入力信号を受けて、あらかじめ設定された論理機能あるいはNORアレイからの信号によって設定される論理機能に従った出力をあらかじめ設定されたあるいはNORアレイからの信号によって設定される出力経路に従って隣接するNORアレイあるいは配線チャネルに出力される。

NORアレイは隣接する論理セルからの入力を受けて任意の論理出力を隣接する論理アレイに出力する。NORアレイの入力線は一定間隔でラインスイッチを入れることで分岐あるいは共通のアレイとして構成を可能にする。出力線は単一の入力線との論理を構成することで配線としての機能をも実現する。専用線あるいは時分割データを送る配線路は一定の間隔で論理セルに投入し、配線接続及び信号の伝播を行なう。

これにより、NORアレイと論理セルの組合せ

特開平1-274512(3)

で任意の論理を構成あるいは拡張することができる。NORアレイはまた配線構造的にも有するので専用配線の負担を軽減できる。又該配線装置間には別途配線層を専用層あるいは時分割層として使い分けることで、高速なデータ転送と配線助の効率的な使用を実現できる。

これによつて任意の規模の論理回路を高密度にしかも分散的に実現でき、電気的に書き込みあるいは書き換えが可能で、大規模で高密度な半導体配線回路が可能になる。

〔実施例〕

以下、本発明の一実施例によるプログラマブル論理装置の全体のブロック図を示す。第1図は本発明の第1構成を示すもので、11、12、31、32は電気的に書き込み可能な不揮発性記憶素子により構成したNORアレイ、211~21n、221~22m、411~41n、421~42mは論理セル列、51、52は双方向のスイッチ素子である。

論理セル列211~42nはマクロセルアレイ

とするNORアレイ11~32の配線チャネルは相互接続されるため、論理回路の拡張を容易に実現することが可能となる。

従つて、本発明のプログラマブル論理装置の全体の論理規模の拡大は第1図の構成を左右、上下に同様の構成を拡張していくことで、論理規模の拡張が可能である。

プログラマブルなNORアレイの1実施例を図2図に示す。I1~I5は入力線、O1~O11は出力線で任意の複数本数で構成することができる。入力線と出力線は交叉し、その交点に電気的に書き込みあるいは書き換え可能な不揮発性記憶素子を配置する。I1~I5の入力線はT1~T5の出力線に平行に配線された端子線に接続され、端子線T1~T5を通してNORアレイ外部から入力信号が供給される。端子線T1~T5はNORアレイの両側に適当な比率と同様に配線する。出力線O1~O11も又適当な比率でNORアレイの両側に配出する。交互に両側に配出することで出力線の間隔を一定にできる。第2図において入力線と

とも呼ばれるものであり、読みロジック、ラッチの組合せによるセミカスタム論理モジュールである。

この論理セル列211~42nの論理構成は、その内部に内蔵された制御バスデータ記憶装置中のデータにより任意に構成されることができる。

NORアレイ11~32は電気的に書き込み可能な不揮発性記憶素子により構成されたNORアレイであり、論理セル列211~42nの可変論理構成機能を補助するものである。

従つて、第1図のプログラマブル論理装置の全体の論理は、論理セル列211~42nの論理とNORアレイ11~32の論理との組合せにより構成される。

後で詳述するようにNORアレイ11~32中の信号線は配線チャネルとしても利用できるので、このプログラマブル論理装置を大規模な配線LSIとして構成するのに好適である。

同様に、後で詳述するように双方向スイッチ素子51、52を接続状態にすることにより、図様

出力線の交点に立印のある箇所は不揮発性メモリデバイスにデータが書き込まれている状態を示しMOSスイッチとして動作する。何も書き込まれていない箇所は不揮発性メモリデバイスにデータが書き込まれていない状態で、MOSスイッチとして動作しない。例えば出力線O1は111、112、113でMOSスイッチが動作する状態となっており、 $O1 = I1 + I3 + I5$ の論理出力を生成する。また出力線に対してMOSスイッチが1ヶ所のみ動作状態になっている114、115についていえば $O11 = I3$ 、 $O12 = I2$ となり入出力線が直接接続されたのと等価な効果がある。従つてNORアレイはプログラマブル論理装置中の論理セル間の配線としても使用できる。さらに第2図において入力I3に関してO11は配線動作を与え、O1はNOR出力を与えるから配線とNOR論理を同時に実現している。従つて第1図に示すように論理セル211~42nとNORアレイ11、12、31、32を積層することで配線と論理を効率よく実現することができる。また

特開平1-274512(4)

論理セル211~42mとNORアレイ11.12, 31, 32が相互に入出力信号で接続されながら2次元アレイ状に配置されることから、論理および配線が局部的に集中することがなく、大規模な論理を効率的に実現できる。

尚、第2図のNORアレイのIC化に際して、X方向の端子線T1~T6および出力線O1~O11は例えば1層目のアルミニウム配線により構成され、Y方向の入力線I1~I5は不揮発性記憶用のMOS電荷保持素子トランジスタのゲート電極配線により構成され、このゲート電極配線は低抵抗化のためタングステン・シリサイドにより構成されている。

プログラマブルなマクロセルとしての論理セル211~42mの1実施例を第3図に示す。第3図において2112は組込み論理装置、2111は制御パラメータ記憶装置、2113は出力スイッチ回路である。組込み論理装置2112の論理構成と出力スイッチ回路2113の接続構成とは、制御パラメータ記憶装置2111中の制御パツメ

ータデータにより任意に構成されることができ、S11, S12は論理セルへの入力信号で第2図のO1~O11が接続される。S16, S17は論理セルからの出力で第2図のT1~T6に接続される。S13, S14は制御パラメータ記憶装置2111の出力信号で組込み論理装置2112の論理構成及び出力スイッチ回路2113の接続を制御する。S14は組込み論理装置2112の出力で出力スイッチ回路2113を通して指定の出力信号S18, S17を送出する。

第4図は第1図に示した論理装置は装用の双方向スイッチ素子51, 52の1実施例である。

NORアレイの入力線I11~I51及びI12~I52をMOSスイッチS11~515で接続する構成をとる。これらのMOSスイッチのゲート端子はゲート制御信号520, 521によりつながり、520, 521を制御することで開閉するNORアレイの入力線を接続あるいは切断することができる。従って、第1図において双方向スイッチ素子51が接続状態の場合、NORアレイ

11, 12は1個のNORアレイとして動作し、素子51が切断状態の場合、NORアレイ11, 12はそれぞれ別個のNORアレイとして動作する。双方向スイッチ素子52, NORアレイ31, 32の動作も、これと全く同様である。このように、MOSスイッチS11~515のゲート端子に独立の制御信号を与えることで入力線の接続、切断が可能である。又共通信号を入力すると入力線を一括して接続、切断する構成がとれる。

従って、双方向スイッチ素子51を接続状態とすれば、NORアレイ11, 12は1個のNORアレイとして動作するので、論理装置の拡張が実現できる。双方向スイッチ素子52, NORアレイ31, 32も、これと全く同様である。

第5図は第3図に示した制御パラメータ記憶装置2111の1実施例である。同図において61はスイッチ素子、621~628はシフトレジスタ、S131~518は制御パラメータ記憶装置2111の出力信号である。S18は本記憶装置2111の入力信号でNORアレイ11, 12,

31, 32の出力信号に接続する。S19は制御パラメータセット信号である。制御パラメータ記憶装置2111へのデータのセットはS19をオンしてS18につながるNORアレイのデータを順次読み出しながらシフトレジスタ621~628に読み込むことで行なう。

第7図は第3図に示した制御パラメータ記憶装置2111の他の実施例である。631~638はレジスタ、611~618はスイッチ素子である。NORアレイ11の特定の入力線I6につながる電氣的に書き可能な不揮発性メモリ素子に記憶された制御パラメータデータをS18をオンすることで、スイッチ素子611~618を介してレジスタ631~638に同時にセットすることができる。第5図、第7図で示した実施例はいずれも、制御パラメータデータをNORアレイの一部に記憶するので、半導体製造装置または論理あるいは配線として使用するNORアレイを共用できることから、書き制御、テスト回路を共用でき、レイアウト上の無駄をなくすることができる。

特開平1-274512(5)

したがって本論理回路の構造の改良は、余りNORアレイの不揮発性メモリを交換することで行なうことができる。

第6図は第3図の組込論理回路2112の1次放列である。同図において231~238, 241~247はトランジスタスイッチである。S111~S116, S121~S126は本回路の入力で、NORアレイ11, 12, 31, 32の出力01~011が接続される。S131~S136, S1301~S1304, S137は制御パラメータ記憶装置2111からの信号S13に相当する。71はマルチプレクサ、721, 723は組合せ回路、722はフリップフロップである。

信号733出力は $(S111 \cdot S1304 + S112 \cdot S1303 + S113 \cdot S1302 + S114 \cdot S1301) \cdot S115 \cdot S133$ の論理式によつて状態が決まる。信号781, 722も類似の論理関係によつて状態が決まる。すなわち781~733は制御パラメータS131~S133およびS1301~S1304の状態に

よつて組込論理2112への入力信号S112~S116の任意の表取間のAND・OR論理を表現できる。組込論理2112への逆側からの入力S121~S126に対しても同様の関係にある出力信号734~738を生成できる。

信号731~736はさらにマルチプレクサ71, 組合せ回路721, 723, フリップフロップ722を介して組込論理の出力S141~S148を生成する。組込論理2112への入力信号S111~S116, S121~S126およびそれらからの生成信号731~736の信号本数および論理関係は第4図に示す論理構造に準じて任意に構成できる。第6図の231~238のスイッチをマスクパターンで固定的に形成しその組合せを制御パラメータS131~S133, S1301, S1304で制御する本構成は組込論理に不揮発性デバイスを論理セルに含まないことから、不揮発性デバイスの書き込み、消去回路を論理セルから切離すことができた。不揮発性デバイスを用いるよりも731~736の生成のための

動作速度が向上する利点がある。

第8図は別の実施例の構成図である。同図において11, 31はすでに説明したNORアレイ、211, 212, 21nはすでに説明した論理セルD11, D12, D21, D22は直接配線チャネル、81, 82はバススイッチ、S11, S12はNORアレイ11, 31からの入力信号、S16, S17は論理セル212からの出力信号、S181~S185は直接配線チャネルあるいは間接論理セルとの入出力信号線である。直接配線チャネルD11~D22は直列モジュール間の高速データ転送または共通データ転送に利用されることができる。

多層配線技術によるICに際して、Y方向の直接配線D21, D22は例えばアルミニウムの1層目配線により構成され、X方向の直接配線D11, D12は例えばアルミニウムの2層目配線により構成される。

論理セル211, 212, 21nの構成例を第9図に示す。同図は第3図において入出力信号線

S181~S185の双方向バスドライバ2114が新しく付け加えられた構成である。2114への入力はマルチプレクサ2113の出力S191, 又2114の出力S192は組込論理回路2112の入力となる。双方向ドライバ2114の信号の伝播方向は制御パラメータ記憶装置2111からの信号S18により制御される。第8図のバススイッチ81, 82は第4図と同一回路によつて実現可能である。第8図は第1図に対して直接配線チャネルD11, D12, D21, D22と間接論理セル間配線S183, S185が付け加えられた構成である。この結果、論理セル間及び遠距離論理セル間の配線遅延を低減できる。またバススイッチ81, 82を適当な回路で配線することでこれらの両側の直接配線チャネルを独立した配線チャネルとして使用でき、配線エリアを有効的に使用できる。

第10図は遠距離論理セル間をメッセージバスで接続する実施例を示す。同図において88はアドレス発生回路、11はNORアレイ、211~

特開平1-274512 (6)

21nは論理セル、D21がメッセージバスである。第11図は制御シーケンスを示す。アドレス発生回路88はタイミング信号T1-T4に同期してメッセージバスの使用可能なアドレスA1, A2, A3をNORアレイ11に送信する。各論理セル211-21nはNORアレイ11の出力6.111-6.11nによりアドレスを伝送する。例えばアドレスA1が論理セル211, 21nを指定するならばこのタイミングで211と21nはメッセージバスD21を介して信号DT1の伝送ができる。次のT2のタイミングではアドレスA2で指定された論理セル間のデータ転送がメッセージバスD21を介して行なわれる。従つて制限された配線チャネルを時分割に使用することで配線エリアを有効活用できる。第9図で示したパススイッチと第10図のメッセージバスの組合せで遠距離間の信号伝送を行うことも可能である。又第10図のアドレス発生回路88はNORアレイ11と論理セル211-21nの一部を使つて構成することもできる。第8図、第10図のNOR

アレイと論理セルの個数と段数は特に制限されるものではなく必要に応じてX軸, Y軸方向に拡張することも可能である。また直接配線チャネルあるいはメッセージバスの本数も任意に設定できる。

【発明の効果】

本発明によれば以下の効果がある。

- (1) NORアレイと論理セル列を積層積設し、不揮発性メモリを用いるNORアレイは適当な時間で分離可能にし、NORアレイと論理セルは上下方向に直接接続しNORアレイをNOR論理動作と同時に配線チャネルとして使用できるので大規模な論理LSIを構成する上でNORアレイ、論理セルの使用効率をたかめ、高密度な論理の実装ができる効果がある。
- (2) NORアレイが水平方向に共通のメモリとして構成でき、書き込みのための制御回路が共通にできるので書込、消去のための周辺回路を低減できる。
- (3) NORアレイとは独立の直接配線チャネルあるいはメッセージバスチャネルを有することで遠

距離間の信号伝送が高速になり、かつパススイッチあるいは配線の時分割使用をすることで、高速動作、配線の使用効率の改善が図られる。

(4) 可変論理をNORアレイ部で実現し、その出力の一部を論理セルの制御パラメータ記憶装置に記憶することでNOR論理と論理セルの構造をプログラムで変更でき論理構成の自由度を大きくできる効果がある。

4. 図面の簡単な説明

第1図は本発明の基本構成を示す1実施例、第2図は第1図に含まれるNOR回路図、第3図は論理セルの構成図、第4図は双方向スイッチの構成図、第5図は制御パラメータ記憶装置、第6図は組込論理構成図、第7図は制御パラメータ記憶装置の他の実施例、第8図は本発明の他の実施例の構成図、第9図は第8図に含まれる論理セルの構成図、第10図はメッセージバスを有する論理装置、第11図はメッセージバスの伝送シーケンス図である。

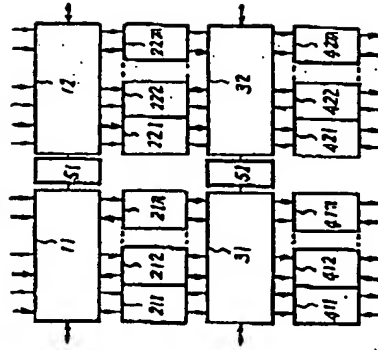
11, 12, 31, 32...NORアレイ, 211

-21n, 221-22m, 441-41n, 421-42m...論理セル列, 51, 52...スイッチ素子。

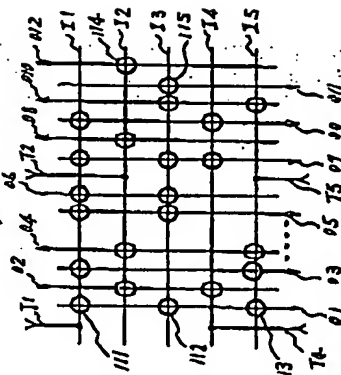
代理人 井通士 小川勝男

特開平1-274512 (7)

第 1 図

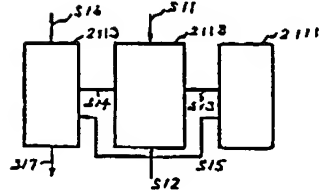


第 2 図

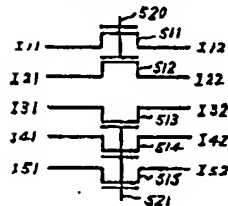


11 NOR 711
211 指定セル内
212 入出力
213 入出力線
214 入出力線
215 入出力線
216 入出力線
217 入出力線
218 入出力線
219 入出力線
220 入出力線
221 入出力線
222 入出力線
223 入出力線
224 入出力線
225 入出力線
226 入出力線
227 入出力線
228 入出力線
229 入出力線
230 入出力線

第 3 図

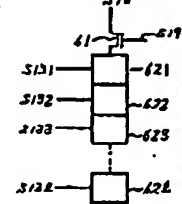


第 4 図

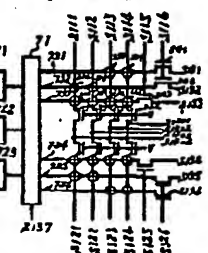


511 7102 スイッチ
515 21102 スイッチ
211 21102 スイッチ
212 21102 スイッチ
213 21102 スイッチ
214 21102 スイッチ
215 21102 スイッチ
216 21102 スイッチ
217 21102 スイッチ
218 21102 スイッチ
219 21102 スイッチ
220 21102 スイッチ
221 21102 スイッチ
222 21102 スイッチ
223 21102 スイッチ
224 21102 スイッチ
225 21102 スイッチ
226 21102 スイッチ
227 21102 スイッチ
228 21102 スイッチ
229 21102 スイッチ
230 21102 スイッチ

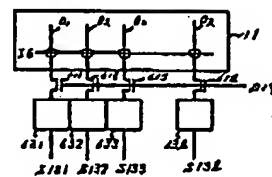
第 5 図



第 6 図

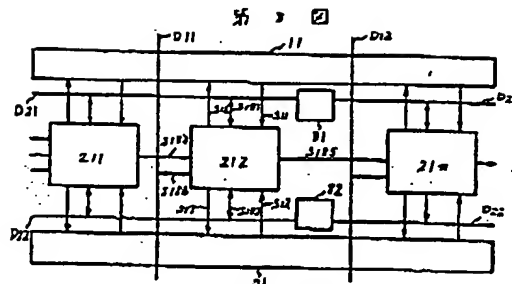


第 7 図

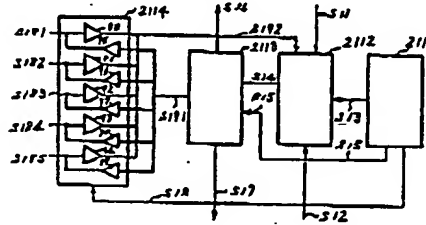


411 21102 スイッチ
412 21102 スイッチ
413 21102 スイッチ
414 21102 スイッチ
415 21102 スイッチ
416 21102 スイッチ
417 21102 スイッチ
418 21102 スイッチ
419 21102 スイッチ
420 21102 スイッチ
421 21102 スイッチ
422 21102 スイッチ
423 21102 スイッチ
424 21102 スイッチ
425 21102 スイッチ
426 21102 スイッチ
427 21102 スイッチ
428 21102 スイッチ
429 21102 スイッチ
430 21102 スイッチ

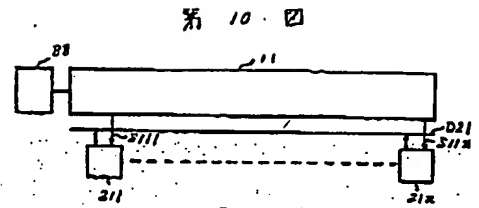
特開平1-274512(8)



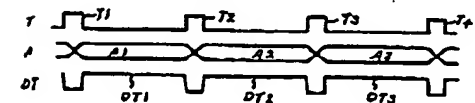
第 9 図



第 10 図



第 11 図



11 ノード 211 接続回路 21 ノード 212 接続回路
D11 ノード 211 接続回路 D12 ノード 212 接続回路
D21 ノード 211 接続回路 D22 ノード 212 接続回路
DT ノード 211 接続回路

11 ノード 211 接続回路 21 ノード 212 接続回路
D11 ノード 211 接続回路 D12 ノード 212 接続回路
D21 ノード 211 接続回路 D22 ノード 212 接続回路
DT ノード 211 接続回路